

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-191240

(43)Date of publication of application : 23.07.1996

(51)Int.Cl.

H03K 17/22

G01R 19/165

G05F 1/10

(21)Application number : 07-001958

(71)Applicant : MITSUMI ELECTRIC CO LTD

(22)Date of filing : 10.01.1995

(72)Inventor : SHIMADA HARUO

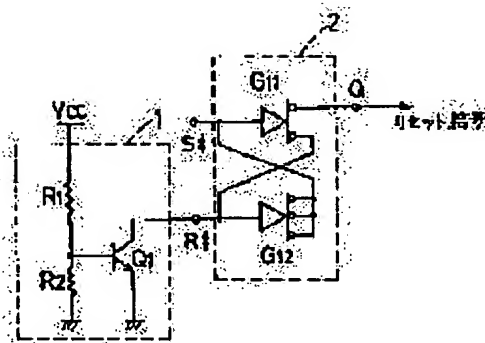
TAKAMATSU SEIJI

(54) RESET CIRCUIT

(57)Abstract:

PURPOSE: To attain a reset circuit constituted of an I2L capable of generating a reset signal only at the time of turning on a power supply and disabling the generation of a reset signal when the power supply is turned off.

CONSTITUTION: A level detecting circuit 1 consisting of resistors R1, R2 and a transistor (TR) Q1 outputs a low level detection signal when power supply voltage Vcc is more than a 2nd level. One output terminal of an inverter G11 in the I2L is connected to an input terminal of an inverter G12 in the I2L and three output terminals for the inverter G12 are connected to the input terminal of the inverter G11 to constitute an RS flip flop. The RS flip flop constituted of the inverters G11, G12 generates a high level reset signal from an output terminal Q during a period from the arrival of power supply voltage at a 1st level up to the arrival at the 2nd level at the ON of the power supply and does not generate a reset signal when the power supply is turned off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-191240

(43) 公開日 平成8年(1996)7月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/22	D	9184-5K		
G 0 1 R 19/165	K			
	D			
G 0 5 F 1/10	3 0 4 H			

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21) 出願番号 特願平7-1958

(22) 出願日 平成7年(1995)1月10日

(71) 出願人 000006220

ミツミ電機株式会社

東京都調布市国領町8丁目8番地2

(72) 発明者 島田 晴夫

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

(72) 発明者 ▲高▼松 清司

神奈川県厚木市酒井1601 ミツミ電機株式会社厚木事業所内

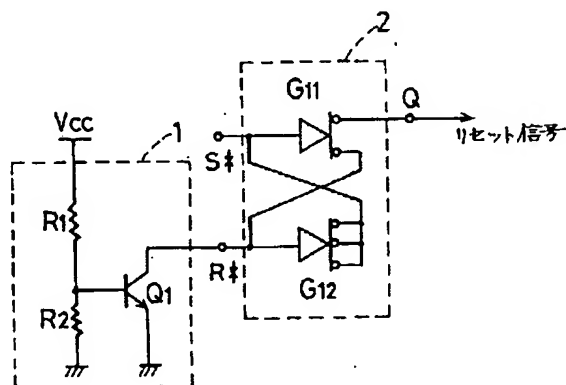
(74) 代理人 弁理士 伊東 忠彦

(54) 【発明の名称】 リセット回路

(57) 【要約】

【目的】 本発明は I^2L で構成したリセット回路に関し、電源投入時のみにリセット信号を生成し、電源断時にはリセット信号を生成しないリセット回路を実現することを目的とする。

【構成】 抵抗 R_1 、 R_2 、トランジスタ Q_1 からなるレベル検出回路は、電源電圧 V_{cc} が第2のレベル以上で、ローレベルの検出信号を出力する。 I^2L のインバータ G_{11} の一つの出力端子が I^2L のインバータ G_{12} の入力端子に接続され、インバータ G_{12} の3つの出力端子がインバータ G_{11} の入力端子に接続されて、RSフリップフロップが構成されている。インバータ G_{11} 、 G_{12} からなるRSフリップフロップは、電源オン時には、電源電圧が第1のレベルに達してから第2のレベルに達するまでの間、Q出力端子より、ハイレベルのリセット信号を生成し、電源オフ時にはリセット信号を生成しない。



1

【特許請求の範囲】

【請求項1】 電源電圧が第2のレベル以上で、ローレベルの検出信号を出力するレベル検出回路と、

1又は2以上の出力端子を有し、電源電圧が前記第2のレベルより低い第1のレベル以上で動作する I^2L 構成の第1のインバータ回路と、

入力端子が前記レベル検出回路の出力端子及び前記第1のインバータ回路の出力端子の一つに接続され、1又は2以上の出力端子のうち、ローレベル時の出力電流値が前記入力端子に接続された第1のインバータ回路の出力端子よりも大きい出力端子が前記第1のインバータ回路の入力端子に接続されており、電源電圧が前記第1のレベル以上で動作する I^2L 構成の第2のインバータ回路とを有し、

前記第1のインバータ回路の出力端子又は第2のインバータ回路の出力端子よりリセット信号を取り出すことを特徴とするリセット回路。

【請求項2】 前記第1のインバータ回路は、

ベースが接地され、エミッタに所定値の抵抗を介して電源電圧が供給され、電源電圧が第1のレベル以上でオンとなる第1の電流注入用トランジスタと、ベースが入力端子及び前記第1の電流注入用トランジスタのコレクタに接続され、エミッタが接地され、1又は2以上のコレクタを出力端子とした第1の反転用トランジスタとからなり、

前記第2のインバータ回路は、

ベースが接地され、エミッタに所定値の抵抗を介して電源電圧が供給され、電源電圧が第1のレベル以上でオンとなる第2の電流注入用トランジスタと、ベースが入力端子及び前記第2の電流注入用トランジスタのコレクタに接続され、エミッタが接地され、2以上のコレクタを共通接続して前記第1のインバータ回路の入力端子に接続される出力端子とした第2の反転用トランジスタとからなることを特徴とする請求項1記載のリセット回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はリセット回路に係り、特に、電源投入時にデジタル回路をリセットするリセット信号を生成する、 I^2L で構成したリセット回路に関する。

【0002】

【従来の技術】図6は、 I^2L (Integrated Injection Logic) で構成した従来の一例のリセット回路の回路図を示す。図6のリセット回路は、抵抗 R_1 、 R_2 、及びトランジスタ Q_1 からなるレベル検出回路1と、 I^2L のゲート G_1 、 G_2 から構成される。ゲート G_1 、 G_2 は、 I^2L のインバータである。

【0003】 I^2L のインバータは、図7に示すように、PNP型のインジェクタ用トランジスタ Q_A 、抵抗 R_A 、NPN型のインバータ用トランジスタ Q_B から構

2

成される。トランジスタ Q_A のベースは接地され、エミッタは抵抗 R_A を介して電源電圧 V_{CC} の電源端子に接続されている。トランジスタ Q_B のエミッタは接地され、ベースはトランジスタ Q_A のコレクタ及びインバータの入力端子に接続されている。トランジスタ Q_B は、マルチコレクタとして夫々のコレクタから出力信号を取り出すことができる。

【0004】インバータの入力端子がオープン又は0.6V以上の高い電圧（ハイレベル（“H”））の場合は、トランジスタ Q_A から電流 I_{i1} がトランジスタ Q_B にベース電流として供給されて、トランジスタ Q_B がオンとなる。通常、トランジスタ Q_B のコレクタ（インバータの出力端子）は、後段の I^2L のゲート（インバータ）の入力端子に接続されており、トランジスタ Q_B がオンのとき出力電圧は、ほぼ0Vのローレベル（“L”）となる。

【0005】インバータの入力電圧が0V（ローレベル（“L”））の場合は、トランジスタ Q_B がオフとなる。このとき、トランジスタ Q_B のコレクタ（インバータの出力端子）が接続されている後段の I^2L のゲートの入力端子の電圧は、約0.6Vとなる。即ち、インバータの出力電圧は約0.6Vの“H”となる。

【0006】次に、図6のリセット回路の動作について説明する。図8は、電源オン時と電源オフ時に生成されるリセットパルス説明図を示す。なお、ゲート G_2 の出力端子は、リセット信号を供給すべき I^2L のインバータの入力端子に接続されているものとする。

【0007】まず、電源オン時について考える。電源がオンされると、電源電圧 V_{CC} は、図8の波形 W_1 に示すように時間とともに上昇してゆく。 $V_{CC} \approx 0.6V$ に達すると、ゲート G_1 、 G_2 とその他のゲートのインジェクタ用トランジスタ Q_A の電流 I_{i1} が流れ始める。この時点では、トランジスタ Q_1 はオフのままである。

【0008】このとき、ゲート G_1 の入力電圧が“H”で出力電圧が“L”となり、ゲート G_2 は、内部のトランジスタ Q_B がオフで出力端子は“H”の状態となる。ゲート G_2 の出力端子は、後段の I^2L のインバータの入力端子に接続されているため、この後段のインバータのトランジスタ Q_B がオンとなり、リセットパルスの“H”の電圧は、約0.6Vとなる。

【0009】この後、電源電圧 V_{CC} は、更に上昇するが、リセットパルスの“H”の電圧は、0.6Vを維持する。電源電圧 V_{CC} が、 $V_{CC} = (R_1 + R_2) / R_2 \times 0.6V$ に達すると、トランジスタ Q_1 がオンとなる。このとき、ゲート G_1 の入力電圧が“L”で出力電圧が“H”となり、ゲート G_2 は、内部のトランジスタ Q_B がオンで出力電圧は“L”のほぼ0Vとなる。この後、電源電圧 V_{CC} は、規定電圧 V_{CC0} （例えば、9V）まで上昇して一定値となる。

【0010】上記のように、電源オン時のリセットパル

3

スは、図8の波形W₃に示す方形波となる。次に、電源オフ時について考える。電源がオフされると、電源電圧V_{cc}は、図8の波形W₂に示すように時間とともに下降してゆく。電源電圧V_{cc}が、 $V_{cc} = (R_1 + R_2) / R_2 \times 0.6V$ に達すると、トランジスタQ₁がオフとなる。このとき、ゲートG₁の入力電圧が“H”で出力電圧が“L”となり、ゲートG₂の出力電圧は“H”の約0.6Vとなる。

【0011】この後、電源電圧V_{cc}は、更に下降するが、リセットパルスの“H”の電圧は、0.6Vを維持する。電源電圧V_{cc}が、V_{cc}=0.6Vまで下降すると、ゲートG₁、G₂とその他のゲートのインジェクタ用トランジスタQ_Aの電流I_{inj}が0となり、各ゲートのトランジスタQ_Bはオフとなる。このため、ゲートG₂の出力電圧は、“L”の0Vとなる。

【0012】上記のように、電源オフ時のリセットパルスは、図8の波形W₄に示す方形波となる。図6のリセット回路は、I²Lで構成したデジタル回路中のフリップフロップ等をリセットするためのリセット回路として使用される。

【0013】例えば、ビデオ信号等を切り換えるアナログスイッチ回路とI²Lで構成したデジタル回路とを同一チップ上に構成したビデオスイッチIC内のリセット回路に使用される。

【0014】

【発明が解決しようとする課題】デジタル回路では、電源オフ時にリセットが行われると不都合が生じる場合がある。例えば、デジタル回路内のフリップフロップの出力データにより、アナログ回路の状態を制御する回路においては、電源オフ時にアナログ回路が完全に動作停止する前にフリップフロップがリセットされると、アナログ回路の状態が変化してアナログ回路からノイズが発生する問題が生じる。

【0015】図6の従来のリセット回路は、電源オフ時にもリセット信号を生成するため、上記のような電源オフ時のリセットで不都合が生じる回路に適用すると問題が生じる。例えば、前記ビデオスイッチIC内のリセット回路に使用した場合、電源オフ時にアナログスイッチの状態が切り換わって、ノイズが発生する問題が生じる。

【0016】本発明は、上記の点に鑑みてなされたもので、電源投入時のみにリセット信号を生成し、電源断時にはリセット信号を生成しないリセット回路を提供することを目的とする。

【0017】

【課題を解決するための手段】請求項1の発明は、電源電圧が第2のレベル以上で、ローレベルの検出信号を出力するレベル検出回路と、1又は2以上の出力端子を有し、電源電圧が前記第2のレベルより低い第1のレベル以上で動作するI²L構成の第1のインバータ回路と、

4

入力端子が前記レベル検出回路の出力端子及び前記第1のインバータ回路の出力端子の一つに接続され、1又は2以上の出力端子のうち、ローレベル時の出力電流値が前記入力端子に接続された第1のインバータ回路の出力端子よりも大きい出力端子が前記第1のインバータ回路の入力端子に接続されており、電源電圧が前記第1のレベル以上で動作するI²L構成の第2のインバータ回路とを有し、前記第1のインバータ回路の出力端子又は第2のインバータ回路の出力端子よりリセット信号を取り出す構成とする。

【0018】請求項2の発明は、請求項1のリセット回路において、前記第1のインバータ回路は、ベースが接地され、エミッタに所定値の抵抗を介して電源電圧が供給され、電源電圧が第1のレベル以上でオンとなる第1の電流注入用トランジスタと、ベースが入力端子及び前記第1の電流注入用トランジスタのコレクタに接続され、エミッタが接地され、1又は2以上のコレクタを出力端子とした第1の反転用トランジスタとからなり、前記第2のインバータ回路は、ベースが接地され、エミッタに所定値の抵抗を介して電源電圧が供給され、電源電圧が第1のレベル以上でオンとなる第2の電流注入用トランジスタと、ベースが入力端子及び前記第2の電流注入用トランジスタのコレクタに接続され、エミッタが接地され、2以上のコレクタを共通接続して前記第1のインバータ回路の入力端子に接続される出力端子とした第2の反転用トランジスタとからなる構成とする。

【0019】

【作用】請求項1の発明では、第1及び第2のインバータ回路によりRSフリップフロップを構成している。また、第2のインバータ回路の入力端子に接続された第1のインバータ回路の出力端子よりも、第1のインバータ回路の入力端子に接続された第2のインバータ回路の出力端子の方が、ローレベル時の出力電流値が大きい。

【0020】このため、電源投入時には、電源電圧が第1のレベルに達した時点で、第1のインバータ回路の出力電圧がハイレベルとなり、第2のインバータ回路の出力電圧がローレベルとなり、第1のインバータ回路の出力端子からは、ハイレベルのリセット信号が出力される。電源電圧が更に上昇して第2のレベルに達した時点で、レベル検出回路のローレベルの検出信号が第2のインバータ回路の入力端子に供給されるため、第1のインバータ回路の出力電圧がローレベルとなり、第2のインバータ回路の出力電圧がハイレベルとなり、第1のインバータ回路の出力端子のハイレベルのリセット信号は出力停止される。

【0021】このようにして、電源投入時には、電源電圧が第1のレベルに達してから第2のレベルに達するまでの間、リセット信号が生成される。電源断時には、電源電圧が第2のレベルまで下降した時点で、レベル検出回路のローレベルの検出信号がオフとなり、第2のイン

5

パート回路の入力電圧はハイレベルとなる。しかし、第1及び第2のインバータ回路によりRSフリップフロップを構成しており、第2のインバータ回路の入力端子がRSフリップフロップの負論理のリセット入力であるため、第1及び第2のインバータ回路の状態は変化しない。このため、第1のインバータ回路の出力電圧はローレベルを維持し、ハイレベルのリセット信号は出力されない。電源電圧が第1のレベルまで下降した時点でも、第1及び第2のインバータ回路の状態は変化しない。

【0022】このように、請求項1の発明のリセット回路は、電源投入時にのみリセット信号を生成し、電源断時にはリセット信号を生成しない。請求項2の発明では、同一特性の第1及び第2の電流注入用トランジスタと同一特性の第1及び第2の反転用トランジスタを用い、第1の反転用トランジスタのコレクタの一つを第2のインバータ回路の入力端子に接続し、第2の反転用トランジスタの複数のコレクタを共通接続して第1のインバータ回路の入力端子に接続した簡単な回路で、電源投入時にリセット信号を生成する状態となるRSフリップフロップを構成できる。このため、電源投入時にのみリセット信号を生成するリセット回路を容易に構成することを可能とする。

【0023】

【実施例】図1は本発明の一実施例の I^2L で構成したリセット回路の回路図を示す。図1において、図6と同一構成部分には、同一符号を付し適宜説明を省略する。図1のリセット回路は、抵抗 R_1 、 R_2 及びトランジスタ Q_1 からなるレベル検出回路1と、 I^2L のゲート G_{11} （第1のインバータ回路）及びゲート G_{12} （第2のインバータ回路）とから構成されている。

【0024】ゲート G_{11} 、 G_{12} は、 I^2L のインバータである。ゲート G_{12} の3つの出力端子がゲート G_{11} の入力端子に接続され、ゲート G_{11} の出力端子の一つがゲート G_{11} の入力端子に接続されており、ゲート G_{11} 、 G_{12} によりRSフリップフロップ2が構成されている。

【0025】ゲート G_{11} の入力端子がRSフリップフロップ2の負論理のセット入力端子 S^* に相当し、ゲート G_{12} の入力端子が負論理のリセット入力端子 R^* に相当し、ゲート G_{11} の出力端子がQ出力端子に相当する。レベル検出回路1のトランジスタ Q_1 のコレクタは、ゲート G_{12} の入力端子に接続されている。“H”アクティブのリセット信号は、ゲート G_{11} の一方の出力端子（Q出力端子）から取り出され、 I^2L のゲート（インバータ）の入力端子に供給される。

【0026】図2は、図1のゲート G_{11} 、 G_{12} の内部をトランジスタのレベルに展開した回路図を示す。ゲート G_{11} は、図7のインバータと同様の構成であり、インジェクタ用トランジスタ Q_{A1} （第1の電流注入用トランジスタ）、抵抗 R_{A1} 、インバータ用トランジスタ Q_{B1} （第1の反転用トランジスタ）から構成される。ゲート G_{12}

6

は、ゲート G_{11} と同様に、インジェクタ用トランジスタ Q_{A2} （第2の電流注入用トランジスタ）、抵抗 R_{A2} 、インバータ用トランジスタ Q_{B2} （第2の反転用トランジスタ）から構成される。

【0027】トランジスタ Q_{B2} の3つのコレクタ（ゲート G_{12} の出力端子）は、共通接続されて、トランジスタ Q_{B1} のベース（ゲート G_{11} の入力端子）に接続されている。トランジスタ Q_{B2} のベース（ゲート G_{12} の入力端子）は、トランジスタ Q_1 のコレクタに接続されると共に、トランジスタ Q_{B1} のコレクタ（ゲート G_{11} の出力端子）の一方に接続されている。ハイレベルのリセット信号は、トランジスタ Q_{B1} の他方のコレクタ（Q出力端子）から取り出される。

【0028】ゲート G_{11} について考えると、ゲート G_{11} の入力端子がオープン又は0.6V以上の“H”の場合は、トランジスタ Q_{A1} から電流 I_{A1} がトランジスタ Q_{B1} にベース電流として供給されて、トランジスタ Q_{B1} がオンとなる。このとき、トランジスタ Q_{B1} のコレクタ（ゲート G_{11} の出力端子）は、ほぼ0Vの“L”となる。

【0029】ゲート G_{11} の入力電圧が0V（“L”）の場合は、トランジスタ Q_{B1} がオフとなる。このとき、トランジスタ Q_{B1} のコレクタ（ゲート G_{11} の出力端子）は、約0.6Vの“H”となる。ゲート G_{12} も、ゲート G_{11} と同様にインバータとして動作する。

【0030】次に、図2のリセット回路の動作について説明する。図3は、図2の回路で電源オン時と電源オフ時に生成されるリセットパルス説明図を示す。なお、リセット回路のQ出力端子（ゲート G_{11} の出力端子）は、リセット信号を供給すべき I^2L のインバータの入力端子に接続されているものとする。

【0031】まず、電源オン時について考える。電源がオンされると、電源電圧 V_{CC} は、図3の波形 W_1 に示すように時間とともに上昇してゆく。 $V_{CC} \approx 0.6V$ （第1のレベル）に達すると、ゲート G_{11} 、 G_{12} とその他のゲートのインジェクタ用トランジスタ Q_{A1} 、 Q_{A2} 等の電流 I_{A1} が流れ始める。この時点では、トランジスタ Q_{B1} はオフのままである。

【0032】このとき、RSフリップフロップ2を構成するトランジスタ Q_{B1} 、 Q_{B2} の状態は、後述するように、トランジスタ Q_{B1} がオフとなり、トランジスタ Q_{B2} がオンとなり、リセット回路のQ出力端子の電圧は、“H”となる。以下に、 $V_{CC} \approx 0.6V$ に達した時点で、トランジスタ Q_{B1} がオフで、トランジスタ Q_{B2} がオンの状態が、どのようにして決まるかについて説明する。

【0033】電源オン後のトランジスタ Q_{B1} 、 Q_{B2} のベース電流とコレクタ電流を夫々 i_{B1} 、 i_{C1} 、 i_{B2} 、 i_{C2} とすると、トランジスタ Q_{A1} のコレクタとトランジスタ Q_{B1} のベースの接続点（点 P_1 ）と、トランジスタ Q_{A2}

A₂のコレクタとトランジスタQ_{B2}のベースの接続点(点

P₂)とにおいて、下記(1)、(2)式の関係が成立す*

【0034】

$$\text{点P}_1: I_{101} = i_{B1} + i_{C2} \quad (1)$$

$$\text{点P}_2: I_{101} = i_{B2} + i_{C1} \quad (2)$$

ここで、トランジスタQ_{B1}、Q_{B2}において、ベース電流に対する一つのコレクタ電流の電流増幅率を $\beta\mu$ (I_{101})とする。

【0035】トランジスタQ_{B2}のベース(ゲートG₁₂の入力端子)には、トランジスタQ_{B1}のコレクタの一つが※

※接続されており、トランジスタQ_{B1}のベース(ゲートG₁₁の入力端子)には、トランジスタQ_{B2}の3つのコレクタが接続されているため、下記(3)、(4)式が成立する。ここで、図2の例では、 $n=3$ である。

【0036】

$$i_{C1} = \beta\mu(I_{101}) \cdot i_{B1} \quad (3)$$

$$i_{C2} = n \cdot \beta\mu(I_{101}) \cdot i_{B2} \quad (4)$$

前記(1)、(4)式より、下記(5)式が成立し、前記(2)

★【0037】

、(3)式より、下記(6)式が成立する。

★

$$I_{101} = i_{B1} + n \cdot \beta\mu(I_{101}) \cdot i_{B2} \quad (5)$$

$$I_{101} = i_{B2} + \beta\mu(I_{101}) \cdot i_{B1} \quad (6)$$

前記(5)、(6)式より、下記(7)、(8)式が成立する。

$$i_{B1} = (1 - n \cdot \beta\mu(I_{101})) \cdot I_{101} / (1 - n \cdot \beta\mu^2(I_{101})) \quad (7)$$

$$i_{B2} = (1 - \beta\mu(I_{101})) \cdot I_{101} / (1 - n \cdot \beta\mu^2(I_{101})) \quad (8)$$

電源オンの後V_{cc}=0.6Vに達した時点での、RSフリップフロップ2の初期状態(即ち、トランジスタQ_{B1}、Q_{B2}の何れがオンするか)は、電流I₁₀₁に応じて変化するよるトランジスタQ_{B1}、Q_{B2}のベース電流i_{B1}、i_{B2}の大小で決まる。

【0038】図4は、I₁₀₁と $\beta\mu(I_{101})$ の関係を示し、図5は、I₁₀₁とi_{B1}、i_{B2}の関係を示す。 $\beta\mu(I_{101})$ は、図4に示すように電流I₁₀₁に対する依存性を持っている。電源オン後、電源電圧V_{cc}が上昇してV_{cc}=0.6Vに達する直前からI₁₀₁が0より増加し、これに伴い $\beta\mu(I_{101})$ が増加する。

【0039】電源電圧V_{cc}が規定電圧V_{cc0}(例えば、9V)に達したときのI₁₀₁₀の値は、抵抗R_{A1}、R_{A2}により所定値に設定されている。I₁₀₁=I₁₀₁₀のとき、 $\beta\mu(I_{101})=\beta\mu(I_{1010})$ となる。例えば、I₁₀₁₀=5 μ A、 $\beta\mu(I_{1010})=5$ に設定される。

【0040】ここで、 $\beta\mu(I_{101})=1/\sqrt{n}$ のときの、電流I₁₀₁の値をI_{101*}とすると、前記(7)、(8)式より、図5に示すように、 $0 < I_{101} < I_{101*}$

で、常に、 $i_{B2} > i_{B1}$ となる。従って、I₁₀₁がI_{101*}に達するまでには、トランジスタQ_{B2}がオンでトランジスタQ_{B1}がオフとなり、RSフリップフロップ2の状態が決定される。

【0041】I₁₀₁ \geq I_{101*}では、すでにトランジスタQ_{B2}が飽和し、トランジスタQ_{B1}が完全にオフであり、i_{B2}=I₁₀₁、i_{B1}=0となるため、ゲートG₁₁、G₁₂の入力電圧に変化がない限り、RSフリップフロップ2の状態に変化は生じない。上記のように電源電圧V_{cc}=0.6Vに達した時点で、トランジスタQ_{B1}がオフで、トランジスタQ_{B2}がオンとなり、リセット回路のQ出力

端子の電圧は、“H”となる。リセット回路のQ出力端子は、リセットすべき後段のI²Lのゲートの入力端子に接続されており、“H”の電圧は、約0.6Vとなる。

【0042】この後、電源電圧V_{cc}は、更に上昇するが、リセットパルスの“H”の電圧は、0.6Vを維持する。電源電圧V_{cc}が、 $V_{cc} = (R_1 + R_2) / R_2 \times 0.6V$ (第2のレベル)に達すると、レベル検出回路1のトランジスタQ₁がオンとなり、ゲートG₁₂の入力端子(リセット端子R*)の電圧がほぼ0Vの“L”となる。このとき、トランジスタQ_{B2}がオンからオフになり、i_{C2}=0となる。これにより、ゲートG₁₁のトランジスタQ_{B1}がオフからオンになり、リセット回路のQ出力端子の電圧は、“H”から“L”のほぼ0Vとなる。また同時に、i_{C1}>0となる。

【0043】上記のように、電源オン時のリセットパルスは、図3の波形W₅に示す方形波となる。次に、電源オフ時について考える。電源がオフされると、電源電圧V_{cc}は、図3の波形W₂に示すように時間とともに下降してゆく。電源電圧V_{cc}が、 $V_{cc} = (R_1 + R_2) / R_2 \times 0.6V$ に達すると、レベル検出回路1のトランジスタQ₁がオフとなる。しかし、トランジスタQ_{B1}がオンであり、i_{C1}=I₁₀₁となるため、トランジスタQ_{B2}はオフの状態を維持し、トランジスタQ_{B1}はオンの状態を維持する。従って、Q出力端子の電圧は、“L”のままである。

【0044】電源電圧V_{cc}が、更に、V_{cc}=0.6Vまで下降すると、ゲートG₁₁、G₁₂とその他のゲートのインジェクタ用トランジスタQ_{A1}、Q_{A2}等の電流I₁₀₁が0となり、各ゲートのインバータ用トランジスタQ_{B1}、

9

Q_{B2} 等はオフとなる。この際、 Q 出力端子の電圧は、“L”の状態を維持する。

【0045】このように、図2のリセット回路は、電源オフ時には、リセットパルスを生成しない。上記のように本実施例のリセット回路では、電源オン時にのみリセットパルスを生成して、電源オフ時にはリセットパルスを生成しない。このため、電源オフ時のリセットで不都合が生じる回路に適用すると、不必要なリセットによるノイズ等が発生する問題を解消することができる。

【0046】例えば、ビデオ信号等を切り換えるアナログスイッチ回路と I^2L のデジタル回路とが同一チップ上に構成されており、デジタル回路内のフリップフロップの出力データによりアナログスイッチ回路の状態を制御するビデオスイッチICがある。なお、デジタル回路内のフリップフロップ等の各種回路は、 I^2L のインバータを組み合わせる構成することができる。

【0047】このようなビデオスイッチIC内のリセット回路に本実施例のリセット回路を使用した場合、電源オン時には、正常にフリップフロップ等をリセットでき、電源オフ時には、フリップフロップ等をリセットしないため、完全に動作停止するまでアナログスイッチ回路の状態が切り換わることがなく、ノイズが発生する問題を解消することができる。また、ビデオスイッチICのアナログスイッチ回路にて、ビデオ信号に加えて音声信号の切り換えも行う構成の場合には、音声ノイズの発生を防ぐこともできる。

【0048】なお、上記のようにデジタル回路内にフリップフロップを持つ、 I^2L のゲートを用いたビデオスイッチICとしては、1本のクロック線と1本のシリアルデータ線により外部より制御することができる I^2C (Inter IC) 制御方式のものがある。

【0049】また、本実施例では、同一特性のインジェクタ用トランジスタ Q_{A1} 、 Q_{A2} と同一特性のインバータ用トランジスタ Q_{B1} 、 Q_{B2} を用いて、インバータ用トランジスタ Q_{B1} の一つのコレクタをインバータ用トランジスタ Q_{B2} のベースに接続し、インバータ用トランジスタ Q_{B2} の複数のコレクタをインバータ用トランジスタ Q_{B1} のベースに共通接続した簡単な回路で、電源投入時にリセット信号を生成する状態となるRSフリップフロップ

10

2を構成することができる。このため、電源投入時のみリセット信号を生成するリセット回路を容易に構成することができる。

【0050】

【発明の効果】上述の如く、請求項1の発明によれば、電源投入時にのみリセット信号を生成し、電源断時にはリセット信号を生成しないため、電源断時のリセットで不都合が生じる回路に適用した場合に、不必要なリセットによるノイズ等が発生する問題を解消することができる。

【0051】請求項2の発明によれば、同一特性の第1及び第2の電流注入用トランジスタと同一特性の第1及び第2の反転用トランジスタ等からなる簡単な回路で、電源投入時にリセット信号を生成する状態となるRSフリップフロップを構成することができるため、電源投入時にのみリセット信号を生成するリセット回路を容易に構成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の I^2L で構成したリセット回路の回路図である。

【図2】図1のゲート G_{11} 、 G_{12} の内部をトランジスタのレベルに展開した回路図である。

【図3】図2の回路で電源オン時と電源オフ時に生成されるリセットパルスの説明図である。

【図4】 I_{101} と $\beta\mu(I_{101})$ の関係を示す図である。

【図5】 I_{101} と i_{B1} 、 i_{B2} の関係を示す図である。

【図6】 I^2L で構成した従来の一例のリセット回路の回路図である。

【図7】 I^2L のインバータの回路図である。

【図8】図6の回路で電源オン時と電源オフ時に生成されるリセットパルスの説明図である。

【符号の説明】

1 レベル検出回路

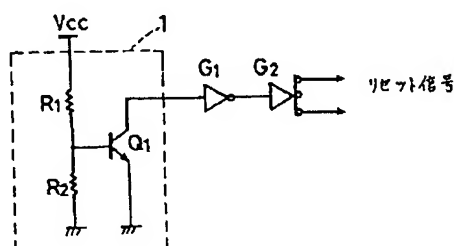
2 RSフリップフロップ

G_{11} 、 G_{12} ゲート (インバータ)

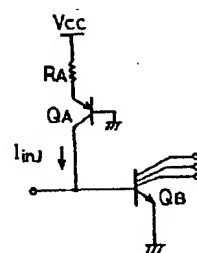
Q_{A1} 、 Q_{A2} インジェクタ用トランジスタ

Q_{B1} 、 Q_{B2} インバータ用トランジスタ

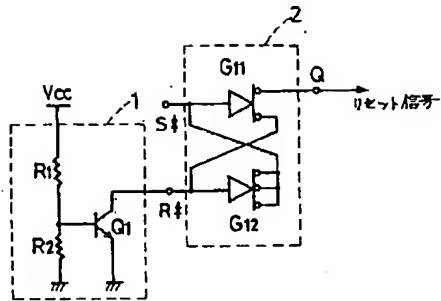
【図6】



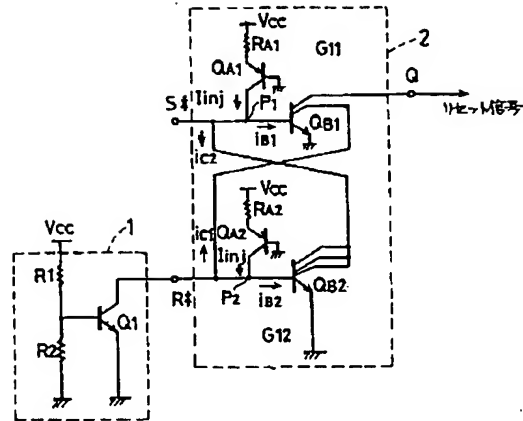
【図7】



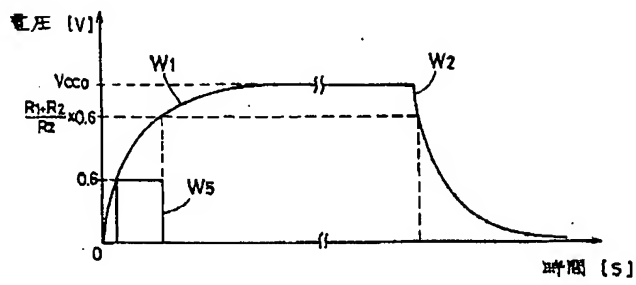
【図1】



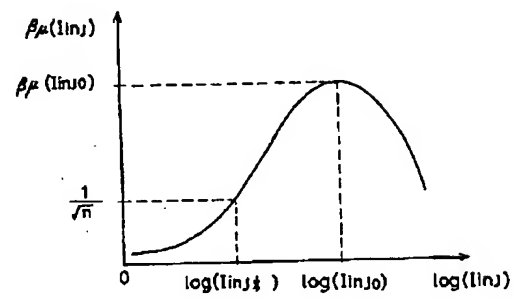
【図2】



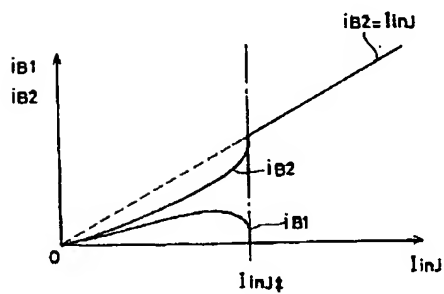
【図3】



【図4】



【図5】



【図8】

